

通用 LCD 驱动与控制电路 BL55080

BL55080 是一款通用型液晶控制和驱动单芯片, 具有 8 背极和 35 段极共 280 位元的输出能力, 适用于常用低占空比的字符/图形式液晶屏幕, BL55080 具有兼容多数微机系统的双向二线式串行总线通讯接口 (I²C)。

特点

- 液晶驱动输出: Common 输出 8 线, Segment 输出 35 线
- 内置显示寄存器 35*8=280bit
- 2 线串行接口 (SCL, SDA)
- 内置震荡电路
- 内置液晶驱动电源电路
 - 1/4 Bias 1/8 Duty
 - 内置 Buffer AMP
- 不需要外部元件
- 低功耗设计
- 内置 EVR (Electrical volume register) 功能
- VDD 电压范围 2.5V~5.5V
- VLCD 电压范围 2.5V~5.5V
- 高抗 EMC 性能
- TSSOP48, LQFP48, LQFP52 封装

应用领域

- 电表、水表、汽表、电话、传真机
- 玩具
- 手持仪表
- 闹钟

管脚说明

编号			名称	定义
TSSOP48	LQFP52	LQFP48		
48	20	18	SDA	二线串行总线数据信号
47	19	17	SCL	二线串行总线时钟信号
1	21	19	Vdd	电源正级
2	22	20	Vlcd	液晶工作低电位电压
3	23	21	Vss	电源负极
4-24 33-46	3-11 14-18 24-27 29-52	3-16 22-42	SEG0-34	Segment 驱动输出
25-32	2, 46-52	1-2 43-48	COM0-7	COM 驱动输出
	1, 12, 13, 28		NC	Not connected

表 1

管脚排列

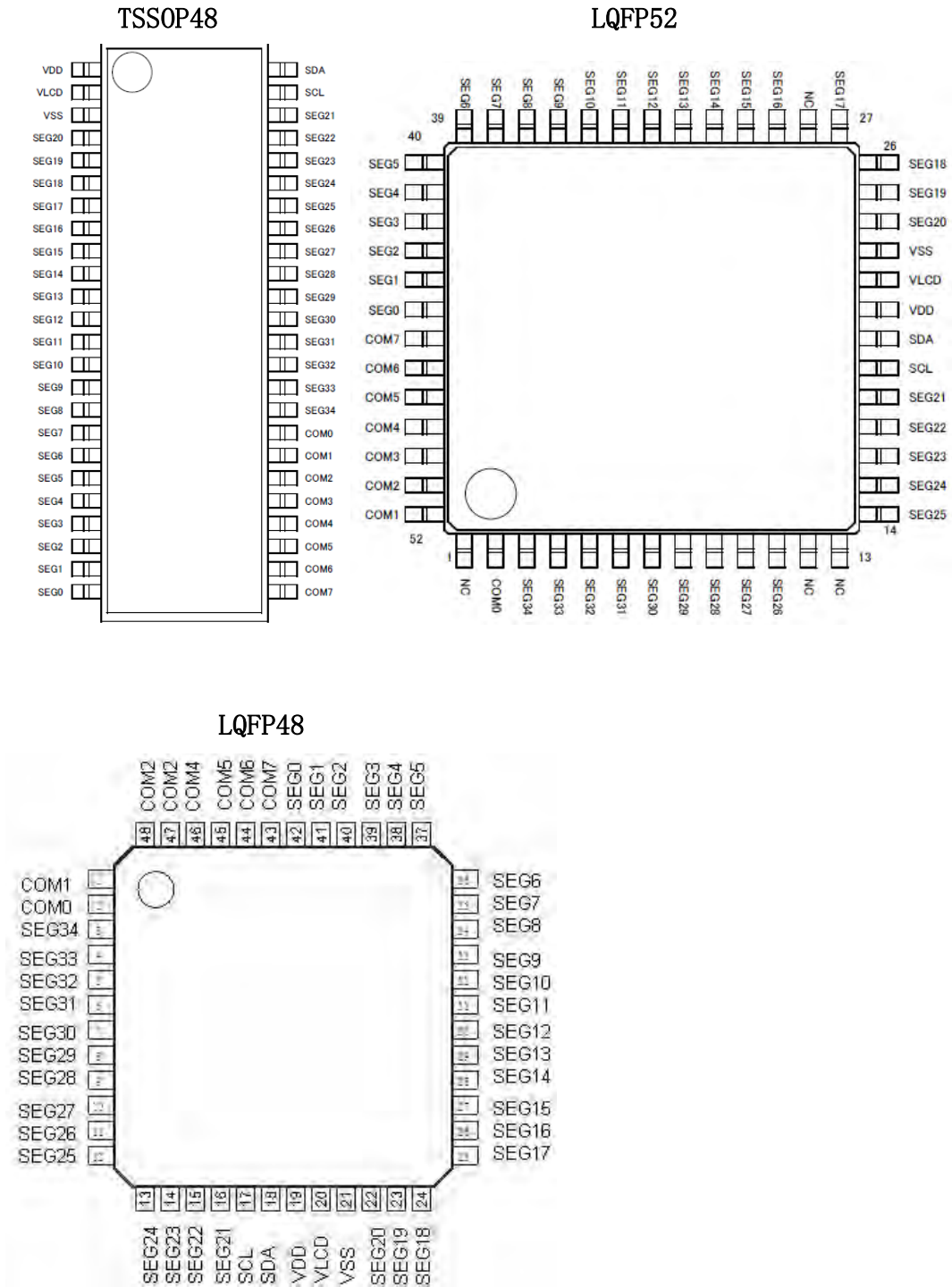


图 1

BL55080 框图

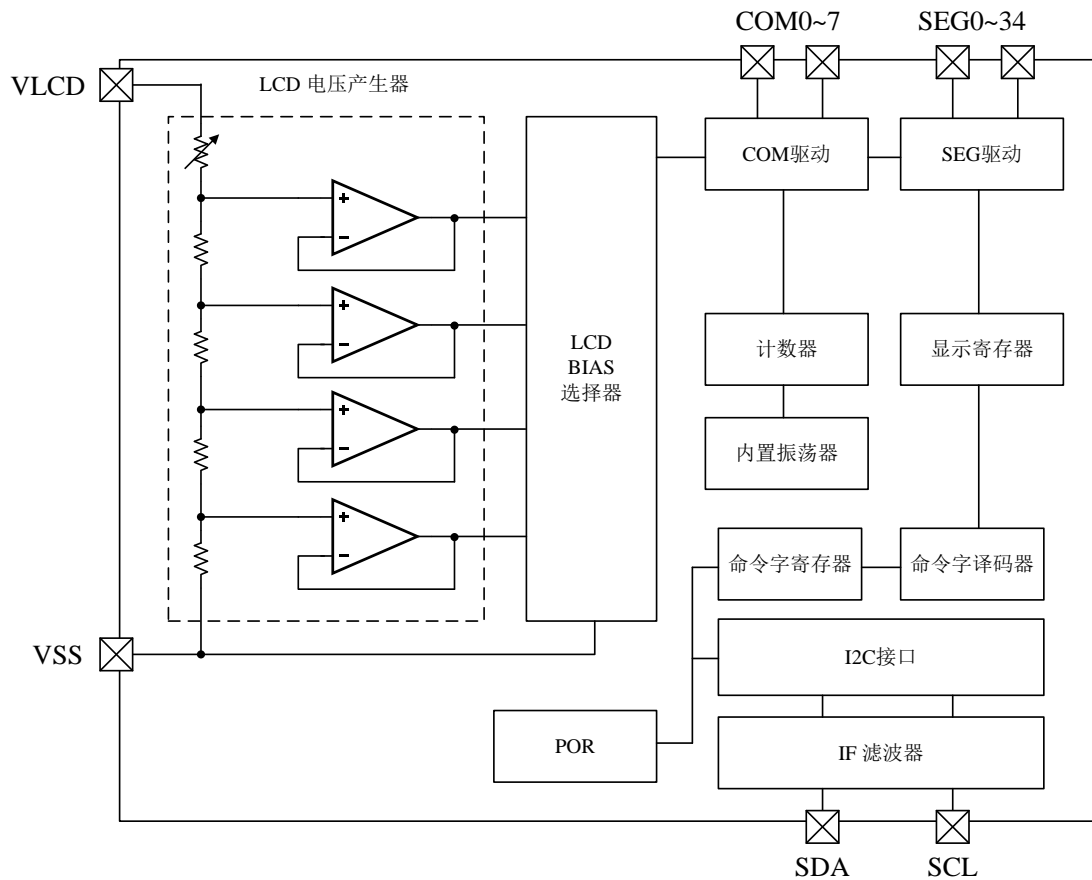


图 2

功能描述

1.功能电路

BL55080 内部集成了 LCD 驱动器所必需的所有功能电路。这些电路包括：LCD 偏置电压发生器、LCD 电压选择器、内部时钟($OSC = 25.6KHz$)、显示寄存器、段/背极输出电路、I2C 串行接口、上电复位电路和显示控制电路。

2.显示驱动原理:

BL55080 有 35 个段输出 SEG0--SEG34 和 8 个背极输出 COM0—COM7,它们和 LCD 直接相连,当少于 35 个段输出应用时,不用的段可空出。BL55080 采用 1/8 背极输出 1/4 偏置电压显示方式。

显示内容和寄存器地址之间的关系可见下表：

	0	1	2	3	4	5	6	7	21h	22h	
BIT	0	a	i									COM0
	1	b	j									COM1
	2	c	k									COM2
	3	d	l									COM3
	4	e	m									COM4
	5	f	n									COM5
	6	g	o									COM6
	7	h	p									COM7
	SEG0	SEG1	SEG2	SEG3	SEG4	SEG5	SEG6	SEG7		SEG33	SEG34	

表 2

当要显示的数据传送给 BL55080 后，BL55080 将接收到的字节数据填充在显示寄存器中。图 2 示出了 1/4 偏置电压驱动方式下 7 段显示器的显示填充顺序。

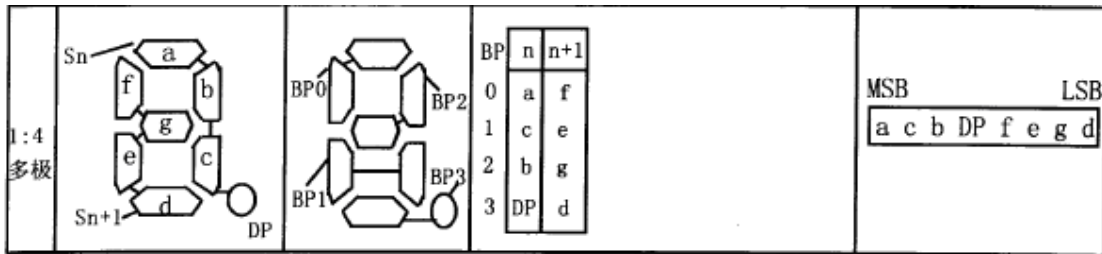
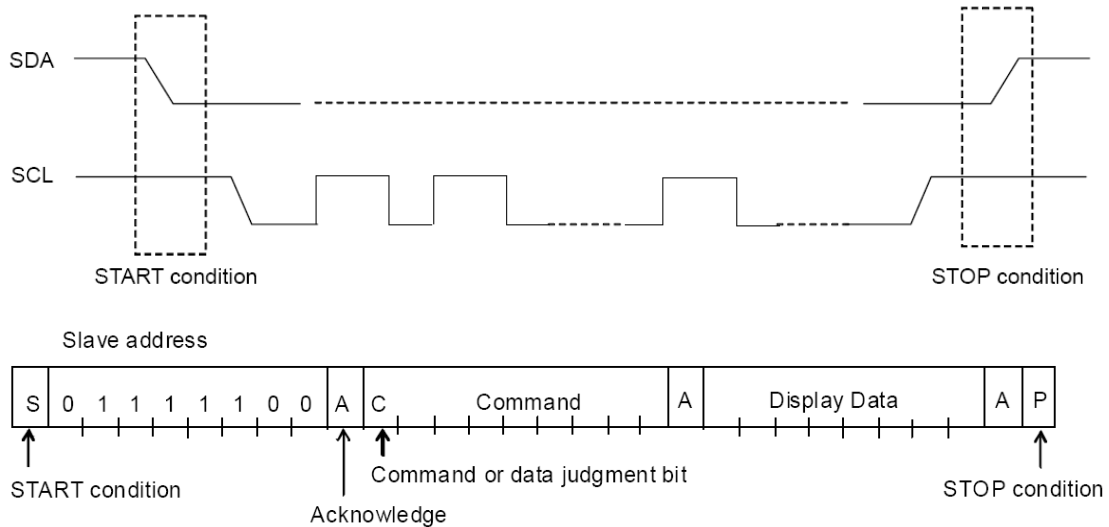


图 3

3. 二线-串行通信总线协议

二线-串行通信总线如图 4。发送第一个起始条件后，紧接着发送 BL55080 地址 (01111100)，然后发送指令和显示数据，指令字节中的最高位“C”用以标明是否是最后一个指令字节，当 C=“1”时表示后面的字节仍是指令字节；当 C=“0”时则表明该字节为最后一个指令字节。最后一个指令字节之后为一系列显示数据字节(DISPLAY DATA)，这些显示数据存放在显示寄存器中，由数据指针和子地址计数器指示的地址上。数据指针和子地址计数器可自动变更，数据直接装载到 BL55080 上，A 是每个字节之后的应答位，在主控器发送完最后一个字节后产生一个终止条件 P。



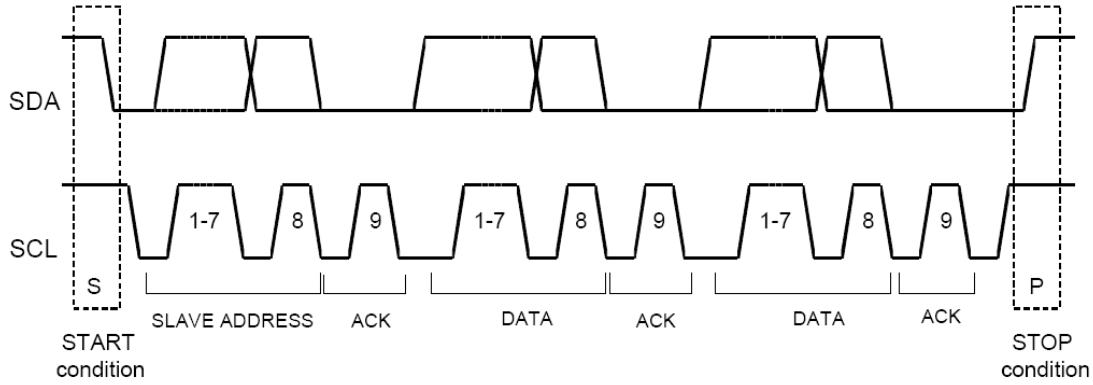


图 4

4.BL55080 的控制命令

BL55080 共有 5 个控制命令字。命令和数据都是以字节的形式发送到 BL55080, 它们的区别在于传送字节的最高位 C, 当 C=1 时表示其后传送的字节仍是命令;C=0 表示其后传送的字节是最后一个命令, 接下来传送的是一系列数据。下面列出了 BL55080 的 5 个命令字:

	Command	Function
1	Address set (ADSET)	DDRAM address setting (00h~22h)
2	EVR set (EVRSET)	EVR setting (0~31)
3	Display Control (DISCTL)	Frame Frequency, Power save mode setting
4	IC operation set (ICSET)	LCD drive mode, software reset, display on/off
5	All pixel Control (APCTL)	All pixel control during display ON

表 3

ADSET

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
Value	C	0	Addr[5:0]					
default	C	0	0	0	0	0	0	0

地址寄存器设置,

该寄存器用于写数据前设置数据的起始地址, 或者读数据/command 前设置读取数据/command 的地址。

读写数据地址范围为 00~22H, 超出部分均设为 00H;

读 command 时地址可以设置为 23H/24H。

EVRSET

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
Value	C	1	0	EVR[4:0]				
default	C	1	0	0	0	0	0	0

模拟 EVR(electrical volume register) 设置可以控制显示的对比度, 驱动电路的最高电压 V0 和外部供电电压 VLCD 的关系如下表所示:

○The relationship of electrical volume register (EVR) setting and V0 voltage

EVR	Calculation formula	VLCD= 5.500	VLCD= 5.000	VLCD= 4.000	VLCD= 3.500	VLCD= 3.000	VLCD= 2.500	[V]
0	VLCD	V0= 5.500	V0= 5.000	V0= 4.000	V0= 3.500	V0= 3.000	V0= 2.500	[V]
1	0.967*VLCD	V0= 5.323	V0= 4.839	V0= 3.871	V0= 3.387	V0= 2.903	V0= 2.419	[V]
2	0.937*VLCD	V0= 5.156	V0= 4.688	V0= 3.750	V0= 3.281	V0= 2.813	V0= 2.344	[V]
3	0.909*VLCD	V0= 5.000	V0= 4.545	V0= 3.636	V0= 3.182	V0= 2.727	V0= 2.273	[V]
4	0.882*VLCD	V0= 4.853	V0= 4.412	V0= 3.529	V0= 3.088	V0= 2.647	V0= 2.206	[V]
5	0.857*VLCD	V0= 4.714	V0= 4.286	V0= 3.429	V0= 3.000	V0= 2.571	V0= 2.143	[V]
6	0.833*VLCD	V0= 4.583	V0= 4.167	V0= 3.333	V0= 2.917	V0= 2.500	V0= 2.083	[V]
7	0.810*VLCD	V0= 4.459	V0= 4.054	V0= 3.243	V0= 2.838	V0= 2.432	V0= 2.027	[V]
8	0.789*VLCD	V0= 4.342	V0= 3.947	V0= 3.158	V0= 2.763	V0= 2.368	V0= 1.974	[V]
9	0.769*VLCD	V0= 4.231	V0= 3.846	V0= 3.077	V0= 2.692	V0= 2.308	V0= 1.923	[V]
10	0.750*VLCD	V0= 4.125	V0= 3.750	V0= 3.000	V0= 2.625	V0= 2.250	V0= 1.875	[V]
11	0.731*VLCD	V0= 4.024	V0= 3.659	V0= 2.927	V0= 2.561	V0= 2.195	V0= 1.829	[V]
12	0.714*VLCD	V0= 3.929	V0= 3.571	V0= 2.857	V0= 2.500	V0= 2.143	V0= 1.786	[V]
13	0.697*VLCD	V0= 3.837	V0= 3.488	V0= 2.791	V0= 2.442	V0= 2.093	V0= 1.744	[V]
14	0.681*VLCD	V0= 3.750	V0= 3.409	V0= 2.727	V0= 2.386	V0= 2.045	V0= 1.705	[V]
15	0.666*VLCD	V0= 3.667	V0= 3.333	V0= 2.667	V0= 2.333	V0= 2.000	V0= 1.667	[V]
16	0.652*VLCD	V0= 3.587	V0= 3.261	V0= 2.609	V0= 2.283	V0= 1.957	V0= 1.630	[V]
17	0.638*VLCD	V0= 3.511	V0= 3.191	V0= 2.553	V0= 2.234	V0= 1.915	V0= 1.596	[V]
18	0.625*VLCD	V0= 3.438	V0= 3.125	V0= 2.500	V0= 2.188	V0= 1.875	V0= 1.563	[V]
19	0.612*VLCD	V0= 3.367	V0= 3.061	V0= 2.449	V0= 2.143	V0= 1.837	V0= 1.531	[V]
20	0.600*VLCD	V0= 3.300	V0= 3.000	V0= 2.400	V0= 2.100	V0= 1.800	V0= 1.500	[V]
21	0.588*VLCD	V0= 3.235	V0= 2.941	V0= 2.353	V0= 2.059	V0= 1.765	V0= 1.471	[V]
22	0.576*VLCD	V0= 3.173	V0= 2.885	V0= 2.308	V0= 2.019	V0= 1.731	V0= 1.442	[V]
23	0.566*VLCD	V0= 3.113	V0= 2.830	V0= 2.264	V0= 1.981	V0= 1.698	V0= 1.415	[V]
24	0.555*VLCD	V0= 3.056	V0= 2.778	V0= 2.222	V0= 1.944	V0= 1.667	V0= 1.389	[V]
25	0.545*VLCD	V0= 3.000	V0= 2.727	V0= 2.182	V0= 1.909	V0= 1.636	V0= 1.364	[V]
26	0.535*VLCD	V0= 2.946	V0= 2.679	V0= 2.143	V0= 1.875	V0= 1.607	V0= 1.339	[V]
27	0.526*VLCD	V0= 2.895	V0= 2.632	V0= 2.105	V0= 1.842	V0= 1.579	V0= 1.316	[V]
28	0.517*VLCD	V0= 2.845	V0= 2.586	V0= 2.069	V0= 1.810	V0= 1.552	V0= 1.293	[V]
29	0.508*VLCD	V0= 2.797	V0= 2.542	V0= 2.034	V0= 1.780	V0= 1.525	V0= 1.271	[V]
30	0.500*VLCD	V0= 2.750	V0= 2.500	V0= 2.000	V0= 1.750	V0= 1.500	V0= 1.250	[V]
31	0.491*VLCD	V0= 2.705	V0= 2.459	V0= 1.967	V0= 1.721	V0= 1.475	V0= 1.230	[V]

 Prohibited setting

*In case EVR is used, please satisfy VLCD-V0 >0.6 V condition.

If this condition cannot be satisfied, IC output will be unstable.

*Do not use V0 < 2.5V area. If EVR is set to this area, IC operation will be unstable.

表 4

DISCTL

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
Value	C	1	1	0	Fr[1:0]		Sr[1:0]	
default	C	1	1	0	0	0	1	0

显示控制

[3:2]: frame frequency control (FR)

00 - 80Hz (default)

01 - 69.565Hz

10 - 64Hz

11 - 50Hz

[1:0]: power save mode control (SR)

00 – power save mode 1

- 01 – power save mode 2
- 10 – normal mode (default)
- 11 – hight power mode

ICSET

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
Value	C	1	1	1	0	Mode	softrst	dison
default	C	1	1	1	0	1	0	0

芯片设置

[2]: LCD drive mode

0 - line inversion mode

1 - frame inversion mode; (default)

[1]: software reset

0 – no operation (default)

1 – software reset

[0]: display on/off control

0 – display off (default)

1 – display on

APCTL

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
Value	C	1	1	1	1	0	Apon	Apoff
Default	C	1	1	1	1	0	0	0

全亮全暗控制，该寄存器只有在 display on 时才起作用；

[1]: all pixel ON control

0 – normal (default)

1 – all pixel on

[0]: all pixel OFF control

0 – normal (default)

1 – all pixel off

当 apon 和 apoff 都为 1 时，则显示全暗，即 apoff 的优先级高于 apon。

5.BL55080 的工作流程

No.	Input	D7	D6	D5	D4	D3	D2	D1	D0	Descriptions
1	Poweron									VDD=0→5[V] (Tr=0.1[ms])
	↓									
2	wait 100us									Initialize IC
	↓									
3	Stop									Stop condition
	↓									
4	Start									Start condition
5	Slave address	0	1	1	1	1	1	0	0	Issue slave address
	↓									
6	ICSET	1	1	1	1	0	*	1	*	Software Reset
	↓									
7	DISCTL	1	1	1	0	0	0	1	0	Unnecessary when initial value setup (If you need to change the condition)
	↓									
8	EVRSET	1	1	0	0	0	0	0	0	Unnecessary when initial value setup (If you need to change the condition)
	↓									
9	ADSET	0	0	0	0	0	0	0	0	RAM address set
	↓									
10	Display Data	*	*	*	*	*	*	*	*	Address 00h
	⋮									⋮
	Display Data	*	*	*	*	*	*	*	*	Address 22h
	↓									
11	Stop									Stop condition
	↓									
12	Start									Start condition
13	Slave address	0	1	1	1	1	1	0	0	Issue slave address
	↓									
14	ICSET	1	1	1	1	0	*	0	1	Display ON

表5

电参数 (VDD=2.5V~5.5V, VLCD=2.5V~5.5V, VSS=0, Ta=-40~85°C)

符号	参数	测试条件	55080 spec			单位
			min	typ	max	
VDD	工作电压		2.5		5.5	V
VLCD	液晶工作电压		2.5		5.5	V
IST	睡眠电流	关闭显示, 关闭内部振荡器			0.5	μA
IDD	工作电流	VDD=3.3V, VLCD=5V, T=25°C, Power save model, FR=80Hz, 1/4bias, Frame inverse		2	5	μA
ILCD	液晶工作电流	VDD=3.3V, VLCD=5V, T=25°C, Power save model, FR=80Hz, 1/4bias, Frame inverse		6	10	μA
FCLK	帧频	VDD=3.3V, FR=80Hz	60	80	110	Hz

表6

典型应用

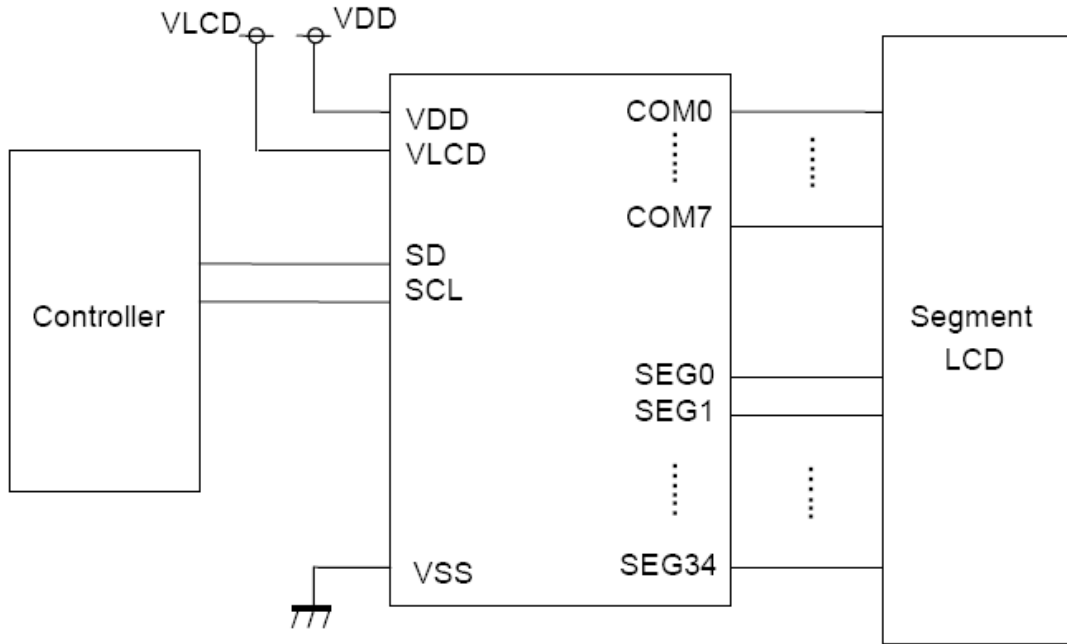
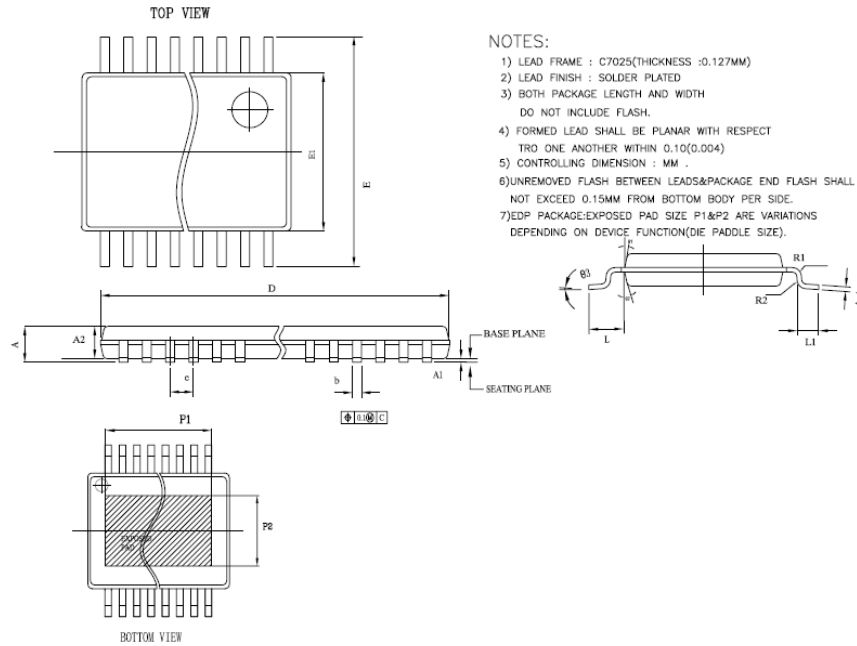


图 5

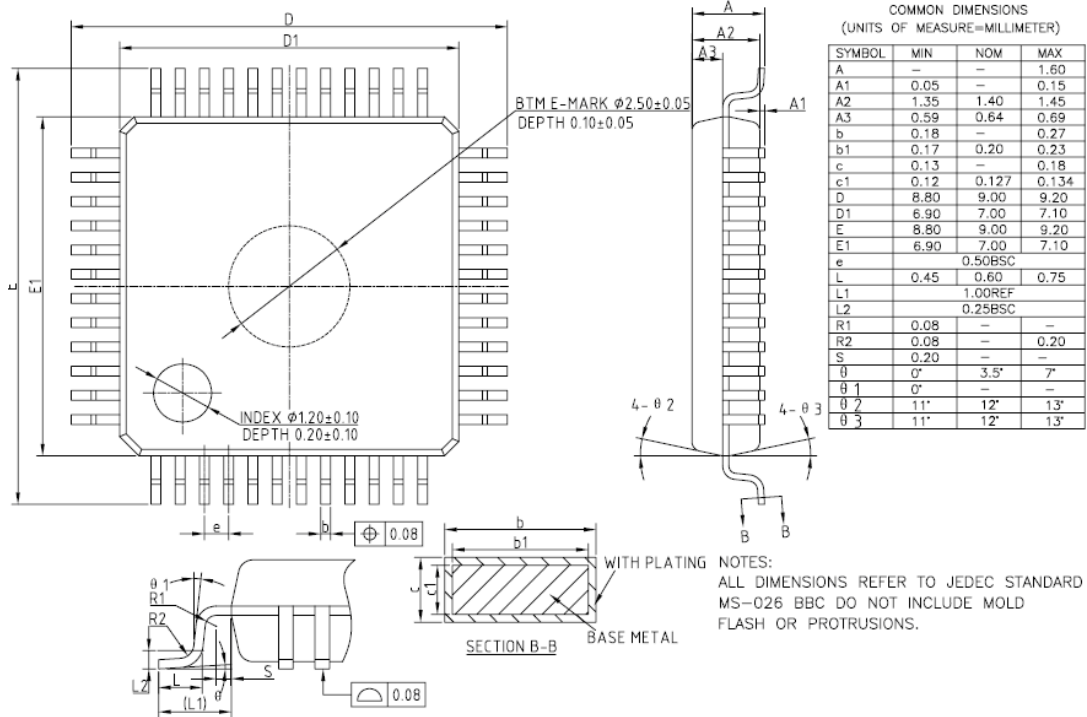
应用注意事项

- 1、上电时，VDD 和 VLCD 需要同时上电，或者 VDD 先上电，VLCD 后上电；VLCD 先于 VDD 上电是不允许的。上电时，VDD 的上升时间必须大于 1mS。
- 2、掉电时，VDD 和 VLCD 需要同时掉电，或者 VLCD 先掉电，VDD 后掉电；VDD 先于 VLCD 掉电是不允许的。
- 3、VLCD 连接的电压决定屏幕对比度，当 VLCD=5V 时，V0 下限是 2.4V (EVR=31)，如客户对屏的对比度无特殊需求，VLCD 可与 VDD 直接连接。如客户需要屏暗（模糊）一点，即 V0 要求低于 2.4V，此时 VLCD 与 VDD 之间则需要接分压电阻，具体阻值可根据实际情况调节。

封装尺寸
TSSOP48


Symbol	符号	TSSOP48	
		Min	Max
A	总高		1.2
A1	站高	0.03	0.13
A2	塑封体高	0.824	1.024
E	跨度	7.9	8.3
E1	塑封体宽	6	6.2
D	塑封体长	12.4	12.6
L	脚长	0.35	0.65
L1		0.35	0.65
e	脚间距	0.5	
b	脚宽	0.17	0.27
R1		0.22TYP	
R2		0.22TYP	
A-A		0.12	0.22
θ1	脱模斜度	12° TYP	
θ2	脱模斜度	12° TYP	
θ3	引脚角度		

LQFP48



LQFP52

